



SONY COMPUTER ENTERTAINMENT INC.

1999年3月2日

次世代プレイステーション向け 世界最高速の128ビットCPU Emotion Engine を開発

株式会社ソニー・コンピュータエンタテインメントは、株式会社東芝と共同で「次世代プレイステーション」に向けた、128ビットCPU（EE：エモーション・エンジン）を開発いたしました。膨大なマルチメディア情報を高速に処理するため、データバス、キャッシュメモリおよび全レジスタを128ビット化し、最先端の0.18ミクロンプロセス技術を用いて、1チップのシステムLSIにすべての演算機能を集約しました。完全な意味での128ビットCPUの開発は、世界で始めてのものです。

今回開発したCPUは、ゲーム用途のみならず、将来のデジタルエンタテインメントのアプリケーションを支える中核的なメディアプロセッサであり、最新のPC等で用いられているCPUに比べて桁違いの浮動小数点演算性能を有しています。単一のシリコンチップ上に、128ビットのSIMD拡張マルチメディア命令を実行可能な2個の64ビット整数演算ユニット（IU）、2個の独立したVLIWアーキテクチャにより実現した浮動小数点ベクトル演算ユニット（VU0，VU1）、MPEG2のデコード回路（IPU）、高機能DMAコントローラ等を集積し、汎用PCに搭載されているCPUでリアルタイムに処理が困難な複雑な物理演算NURBS等の曲面演算や三次元座標演算を高速に実行する事が可能になります。

また全てのデータ処理を1チップ上で128ビット化した事により、膨大なマルチメディアデータ量を高速に処理し転送する事が可能になりました。現在PCで用いられているCPUの基本データ構造は64ビット、最新のゲーム機では32ビットとなっています。併せて、高速動作のCPUを支えるメインメモリに、将来のメモリと期待されているダイレクト・ラムバスを2チャンネル採用して、3.2GB/秒のバスバンド幅を確保しました。これは最新のPC（PC/100）に比べて4倍の性能になります。

同時に、MPEG2のマクロブロックレイヤ・デコーダを同一チップ上に搭載して、より高品位の3DCGテクスチャデータやDVD映画並みの高品位動画を、アプリケーションの中で3DCGと同時に扱う事が可能になり、将来のコンピュータと映像/音楽が統合された新たなデジタルエンタテインメントの応用に適した環境になっています。

これらを併せたCPU全体の演算性能は、浮動小数点演算性能6.2GFLOPS/秒とスーパーコンピュータ並みの値になり、これを三次元コンピュータグラフィックス(3DCG)で標準的に使われる座標/透視変換処理に適用した場合、演算性能はピーク値で6600万ポリゴン/秒に達します。これは映画製作に使われるハイエンドのグラフィックス・ワークステーション(GWS)に匹敵するものです。

以上

CPU(EE)の概要仕様

CPUコア:	128ビット RISC (MIPS -subset)
クロック周波数:	300MHz
整数演算ユニット:	64ビット (2-way superscalar)
マルチメディア拡張命令:	128ビット×107種類
GPR (整数レジスタ):	128ビット×32本
TLB:	48ダブルエントリー
命令キャッシュ:	16KB (2-way)
データ・キャッシュ:	8KB (2-way)
スラッチ・パッド:	16KB (dual-port)
メイン・メモリ:	32MB (RDRAM×2ch@800MHz)
メモリバス・バンド幅:	3.2GB/秒
DMA:	10-channel
コ・プロセッサ1:	FPU (FMAC×1、FDIV×1)
コ・プロセッサ2:	VU0 (FMAC×4、FDIV×1)
	マイクロ命令用メモリ (I: 4KB/D: 4KB)
ベクトル演算器:	VU1 (FMAC×5、FDIV×2)
	マイクロ命令用メモリ (I: 16KB/D: 16KB)
浮動小数点演算性能:	6.2GFLOPS
座標変換+透視変換:	6,600万 ポリゴン/秒
+光源計算:	3,800万 ポリゴン/秒
+フォグ:	3,600万 ポリゴン/秒
曲面生成(ベジェ):	1,600万 ポリゴン/秒
IPU:	MPEG2 マクロブロックレイヤ・デコーダ
画像処理速度:	15,000万 ピクセル/秒
ゲート長:	0.18ミクロン
コア電圧:	1.8V
消費電力:	15W
メタル配線層数:	4
総トランジスタ数:	10.5M Tr.
ダイサイズ:	240mm ²
パッケージ:	540ピン PBGA